

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233636

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H03F 3/34
H03F 3/45

(21)Application number : 09-033851

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 18.02.1997

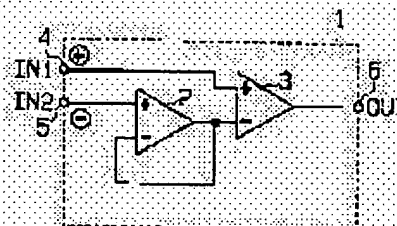
(72)Inventor : OKADA KOJI
ISOBE KATSUMI

(54) AMPLIFIER AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the amplifier in which an offset voltage and a temperature drift are cancelled.

SOLUTION: An amplifier 1 is provided with 1st and 2nd operational amplifier circuits 2, 3. The 1st operational amplifier circuit 2 configures a voltage follower circuit where its output terminal connects to an inverting input terminal, and the output terminal is connected to an inverting input terminal of the 2nd operational amplifier circuit 3. The circuit configuration and the circuit components of the 1st and 2nd operational amplifier circuits 2, 3 are identical to each other, and then they have the same characteristic and the same offset voltage. Then the output terminal of the 1st operational amplifier circuit 2 is connected to the inverting input terminal of the 2nd operational amplifier circuit 3 to allow the offset voltages of the 1st and 2nd operational amplifier circuits 2, 3 to be cancelled with each other and then the offset voltage of the amplifier 1 is cancelled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-233636

(43) 公開日 平成10年(1998) 9月2日

(51) Int. Cl.⁶

識別記号

F I

H 0 3 F 3/34
3/45

H 0 3 F 3/34
3/45

A
B

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号

特願平9-33851

(22) 出願日

平成9年(1997) 2月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 岡田 格司

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(72) 発明者 磯部 勝己

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁護士 風田 博宣

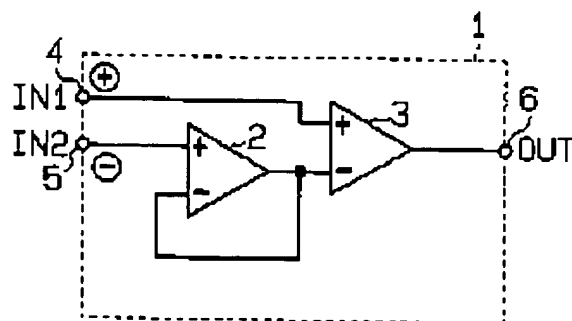
(54) 【発明の名称】 増幅器及び半導体集積回路装置

(57) 【要約】

【課題】 オフセット電圧、温度ドリフトをキャンセルすることのできる増幅器を提供すること。

【解決手段】 増幅器1には、第1、第2のオペアンプ回路2、3が備えられる。第1のオペアンプ回路2は、出力端子が反転入力端子に接続された電圧フォロア回路を構成するとともに、出力端子が第2のオペアンプ回路3の反転入力端子に接続されている。第1、第2のオペアンプ回路2、3は、回路構成及び回路素子が同一に形成され、同一特性となり同じオフセット電圧となる。そして、第1のオペアンプ回路2の出力端子を第2のオペアンプ回路3の反転入力端子に接続することにより、第1、第2のオペアンプ回路2、3のオフセット電圧が互いに打ち消し合い、増幅器1のオフセット電圧がキャンセルされる。

－実施形態の増幅器のブロック回路図



【特許請求の範囲】

【請求項1】 反転入力端子と非反転入力端子とを備え、出力端子と反転入力端子とが接続された第1の増幅部と、

前記第1の増幅部と回路構成及び回路素子が同一に形成され、前記第1の増幅部の出力端子からの信号が反転入力端子に入力された第2の増幅部とを備えた増幅器。

【請求項2】 前記第2の増幅部の出力端子を前記第1の増幅部の非反転入力端子に接続し、第1、第2の増幅部により非反転増幅器を構成した請求項1に記載の増幅器。

【請求項3】 前記第1、第2の増幅部は、同一チップ上に隣接して形成された請求項1又は2に記載の増幅器。

【請求項4】 請求項1乃至3に記載の増幅器と、前記増幅器の入力端子に接続され、該増幅器に信号を出力する内部回路を備えた半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログ電子回路の分野において最も重要な回路の1つであるオペアンプ等の増幅器に関するものである。

【0002】近年の電子回路は、高精度化が要求されている。回路動作の高精度化を図るため、オフセット電圧等のない理想的なオペアンプ等の増幅器が要求されている。

【0003】

【従来の技術】図13は、従来の演算増幅器（オペアンプ）50を示す。オペアンプ50は、出力端子が反転入力端子（一側入力端子）に接続されたボルテージホロワを構成し、非反転入力端子（+側入力端子）に入力される信号Inに対してバッファとして動作する。

【0004】オペアンプ50では、プロセスのばらつき等によりそのオペアンプ50を構成するトランジスタの特性にばらつきが生じる。従って、トランジスタの特性のばらつきに起因する出力信号のオフセット電圧が避けられない。

【0005】そのため、オペアンプ50には、そのチップ外部に外付け抵抗等の調整回路51が接続され、その調整回路51によりオフセットをキャンセルしている。また、オペアンプには、その半導体チップ上に調整回路が形成され、トリミングなどによりオフセット電圧をキャンセルして出荷されるものがある。

【0006】

【発明が解決しようとする課題】しかしながら、図10に示される調整回路51は、図11(a)に示されるオフセット電圧に対して、図11(b)に示すように所望の点の近傍においてオフセット電圧がほぼゼロとなるように調節するのみであるため、動作範囲全体に対してオフセットをキャンセルすることはできない。

【0007】また、外部に調整回路51を付加するということは、オペアンプ50をIC化したときに調整が必要であり、面倒である。また、外部に調整回路を接続したり、トリミングのためのパターンをIC上に作成すると電子回路全体の回路規模が増えてコスト高になる。

【0008】本発明は上記問題点を解決するためになされたものであって、その目的はオフセット電圧、温度ドリフトをキャンセルすることのできる増幅器と、その増幅器を備えた半導体集積回路装置を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明は、反転入力端子と非反転入力端子とを備え、出力端子と反転入力端子とが接続された第1の増幅部と、前記第1の増幅部と回路構成及び回路素子が同一に形成され、前記第1の増幅部の出力端子からの信号が反転入力端子に入力された第2の増幅部とを備えたことを要旨とする。

【0010】また、請求項2に記載の発明は、請求項1に記載の増幅器において、前記第2の増幅部の出力端子を前記第1の増幅部の非反転入力端子に接続し、第1、第2の増幅部により非反転増幅器を構成したことを要旨とする。

【0011】また、請求項3に記載の発明は、請求項1又は2に記載の増幅器において、前記第1、第2の増幅部は、同一チップ上に隣接して形成されたことを要旨とする。

【0012】更に、請求項4に記載の発明は、請求項1乃至3に記載の増幅器と、前記増幅器の入力端子に接続され、該増幅器に信号を出力する内部回路を備えたことを要旨とする。

【0013】（作用）従って、請求項1に記載の発明によれば、第1の増幅部と第2の増幅部は、回路構成及び回路素子が同一に形成されているため同一特性となり、同じオフセット電圧となる。そして、第1の増幅部の出力端子を第2の増幅部の反転入力端子に接続することにより、第1、第2のオフセット電圧が互いに打ち消し合い、増幅器のオフセット電圧がキャンセルされる。

【0014】また、請求項2に記載の発明によれば、第2の増幅部の出力端子が第1の増幅部の非反転入力端子に接続され、第1、第2の増幅部により非反転増幅器が構成され、第1、第2の増幅部のオフセット電圧がキャンセルされる。

【0015】また、請求項3に記載の発明によれば、第1、第2の増幅部は同一チップ上に隣接して形成されて同一特性となり、同じオフセット電圧となる。両増幅部のオフセット電圧が互いにキャンセルして増幅器のオフセット電圧がキャンセルされる。

【0016】また、請求項4に記載の発明によれば、請求項1乃至3に記載の増幅器と、前記増幅器の入力端子

に接続され、該増幅器に信号を出力する内部回路とが備えられ、内部回路の出力信号が増幅器を介して精度よく出力される。

【0017】

【発明の実施の形態】以下、本発明を具体化した一実施の形態を図1～図12に従って説明する。図1に示すように、増幅器1には、第1、第2のオペアンプ回路2、3が設けられている。また、増幅器1は、外部非反転入力端子4、外部反転入力端子5、及び、外部出力端子6が設けられ、両入力端子4、5から信号IN1、IN2が10 入力される。

【0018】第1、第2のオペアンプ回路2、3は、それぞれ非反転入力端子（＋側入力端子）、反転入力端子（－側入力端子）、及び、出力端子を備える。第1、第2のオペアンプ回路2、3は、直列接続されている。

【0019】即ち、第1のオペアンプ回路2の出力端子は、第2のオペアンプ回路3の非反転入力端子に接続されている。また、第1のオペアンプ回路2は、出力端子が反転入力端子に接続され、出力信号が等倍にて反転入力端子に帰還され、電圧フォロア回路（ボルテージ・フォロア回路）を構成している。第1のオペアンプ回路2の非反転入力端子は外部反転入力端子5に接続され、第1のオペアンプ回路2には信号IN1が入力される。第2のオペアンプ回路3は、非反転入力端子が外部非反転入力端子4に接続され、出力端子が外部出力端子6に接続されている。

【0020】両オペアンプ回路2、3は、同一の回路構成となっている。例えば、図3に示すように、両オペアンプ回路2、3は、それぞれバイアス電圧生成回路11、入力回路12、及び、出力回路13とから構成され20 ている。

【0021】バイアス電圧生成回路11は、NチャネルMOSトランジスタTr1のゲート及びドレインが抵抗R1を介して電源Vccに接続され、同トランジスタTr1のソースはグラウンドGNDに接続されている。従って、抵抗R1とトランジスタTr1のオン抵抗の抵抗値の比に基づいて定電圧となるバイアス電圧VBが入力回路12及び出力回路13に出力される。

【0022】入力回路12は、PチャネルMOSトランジスタTr2、Tr3、NチャネルMOSトランジスタTr4～Tr6により構成されている。PチャネルMOSトランジスタTr2、Tr3のソースは電源Vccに接続される。トランジスタTr1のドレインは、トランジスタTr2、Tr3のゲート及びNチャネルMOSトランジスタTr4のドレインに接続される。また、トランジスタTr3のドレインは、NチャネルMOSトランジスタTr5のドレインに接続される。トランジスタTr3、Tr5のドレインから出力回路13に信号が出力される。

【0023】トランジスタTr4、Tr5のゲートは、それぞれ非反転入力端子、反転入力端子となり、信号が入力

される。トランジスタTr4、Tr5のソース間の接続点は、トランジスタTr6を介してグラウンドGNDに接続される。トランジスタTr6のゲートには、バイアス電圧生成回路2から出力されるバイアス電圧VBが入力され、トランジスタTr6は電流源として動作する。

【0024】出力回路13は、PチャネルMOSトランジスタTr7とNチャネルMOSトランジスタTr8とから構成されている。PチャネルMOSトランジスタTr7のソースは電圧Vccに接続され、ドレインはトランジスタTr8を介してグラウンドGNDに接続されている。トランジスタTr7のゲートには入力回路12から信号が入力される。トランジスタTr8のゲートには、バイアス電圧生成回路11から出力されるバイアス電圧VBが入力され、トランジスタTr8は電流源として動作する。そして、トランジスタTr7、Tr8のドレインからオペアンプ回路2、3の出力信号が出力される。

【0025】上記のように構成された増幅器1の作用を説明する。尚、説明をわかりやすくするため、増幅率が1倍の増幅器1、即ち、図5に示すように、増幅器1の内部において、第2のオペアンプ回路3の出力端子を第1のオペアンプ回路2の反転入力端子に接続する。そして、第2のオペアンプ回路3の出力信号を全て第1のオペアンプ回路2に帰還した電圧フォロア回路について説明する。

【0026】上記のように構成された増幅器1は、図8に示すように、半導体チップ7上に形成されている。そのチップ7上には、増幅器1を構成する第1、第2のオペアンプ回路2、3が隣接して形成されている。両オペアンプ回路2、3は、上記したように同一構成の回路であって、回路を構成する回路素子が同じ形状（面積）に形成されている。

【0027】従って、両オペアンプ回路2、3は、電気的特性が同じとなり、ばらつきも同じとなる。そのため、両オペアンプ回路2、3に生じるオフセット電圧は同じとなる。従って、両オペアンプ回路2、3は、図7(a)、(b)に示すように、理想的なオペアンプ回路（オフセット電圧がゼロボルト（0V））OPに対して、オフセット電圧 ΔV を出力する電源V1が出力端子、又は、反転入力端子に接続された回路と等価となる。

【0028】この電源V1は、オフセット電圧 ΔV が例えば正の電圧の場合、図7(a)に示すように、理想的なオペアンプ回路OPの出力端子にマイナス側端子が接続される。そして、オペアンプ回路の出力信号は、電源V1によってオフセット電圧 ΔV 分だけ昇圧され、出力信号として出力される。

【0029】また、電源V1は、図7(b)に示すように、マイナス側端子が理想的なオペアンプ回路OPの反転入力端子に接続され、プラス側端子がオペアンプ回路の出力端子に接続される。そして、オペアンプ回路の出

力信号は、電源V1によってオフセット電圧 ΔV 分だけ降圧され、反転入力端子に帰還される。

【0030】尚、図7(a)、(b)は、オフセット電圧 ΔV が正の場合の等価回路を示している。従って、オフセット電圧 ΔV が負の場合、オフセット電圧 ΔV を出力する電源V1の接続が逆となる。そして、図7(a)において、オペアンプ回路の出力信号は、電源V1によってオフセット電圧 ΔV 分だけ降圧され、出力される。また、図7(b)において、オペアンプ回路の出力信号は、電源V1によってオフセット電圧 ΔV 分だけ昇圧され、反転入力端子に帰還される。

【0031】従って、図5に示される増幅器1は、図6に示すように、出力端子に電源V1が接続された理想的なオペアンプ回路OP(図7(a)参照)と、反転入力端子に電源V1が接続された理想的なオペアンプ回路OP(図7(b)参照)とを直列に接続した回路と等価となる。

【0032】すると、第1のオペアンプ回路2を構成する理想的なオペアンプ回路OPの出力信号は、電源V1によってオフセット電圧 ΔV 分だけ昇圧された後、電源V1によってオフセット電圧 ΔV 分だけ降圧されて第2のオペアンプ回路3を構成する理想的なオペアンプ回路OPの反転入力端子に入力される。即ち、図6に示すように、オペアンプ回路2、3の出力信号は、両電源V1によって正のオフセット電圧 ΔV と負のオフセット電圧 ΔV が重畳されオペアンプ回路の反転入力端子に入力される。そして、両オペアンプ回路2、3のオフセット電圧 ΔV は同じため、オフセット電圧 ΔV が互いに打ち消し合うので、図4に示すように、増幅器1のオフセット電圧はゼロボルト(0V)となる。

【0033】一般に、オフセット電圧の小さなオペアンプを作成しようとすると、そのオペアンプを構成するトランジスタが大きくなってチップ面積が増大する。一般に、オペアンプを2倍の大きさに作成すると、オフセット電圧はルート2分の1($1/\sqrt{2}$)となる。そのため、オフセット電圧をほとんどゼロ(0)にしようとすると、オペアンプのチップ面積が増大となる。そして、オフセット電圧はほぼ0となるものの、温度ドリフト等は避けられない。

【0034】しかしながら、本実施形態では、面積が2倍になるものの、オフセット電圧はほぼ0となる。また、両オペアンプ回路2、3は、同一チップ上に形成されているので、温度が同じとなる。そのため、温度ドリフトは、両オペアンプ回路2、3にて同じように発生するので、上記のオフセット電圧と同様にキャンセルされる。従って、本実施形態の増幅器1によれば、オフセット電圧と温度ドリフトをキャンセルすることができると共に、チップ面積の増大を抑えてコストアップを抑えることができる。

【0035】尚、上記実施形態において、図1に示す増

幅器1において、外部出力端子6と外部反転入力端子5とを接続して電圧フォロア回路を構成しても同様の効果を得ることができる。即ち、図1の増幅器1は、図7(a)(b)に示される両オペアンプ回路2、3の等価回路に従って、図2の等価回路に置き換えられる。そして、両オペアンプ回路2、3の電源V1によってオフセット電圧 ΔV が互いにキャンセルされ、増幅器1のオフセットと温度ドリフトがキャンセルされる。

【0036】更に、上記実施形態において、増幅器1に増幅率を持たせてもよい。即ち、図9に示すように、増幅器1の外部出力端子6と外部反転入力端子5との間に抵抗R2を接続すると共に、外部反転入力端子5を抵抗R3を介してグラウンドGNDに接続し、非反転増幅器1を構成する。そして、抵抗R2、R3の比を適宜設定する。例えば、抵抗R2=2K Ω 、抵抗R3=1K Ω に設定すると、増幅器1は、入力信号と同相で3倍の出力信号を得ることができる。また、抵抗R2、R3を可変抵抗とし、増幅率を調整する事ができるようにする。この場合においても、増幅器1のオフセット電圧がゼロボルトであるため、オフセット電圧を調整するための調整回路を接続する必要が無く、増幅率を設定するための抵抗を付加するだけでよい。簡単な構成で増幅率のある増幅器1を得ることができる。

【0037】また、上記のように構成された増幅器1は、その増幅器1に出力する内部回路を備えた半導体集積回路装置等の様々な回路に適用することができる。例えば、上記の増幅器1は、図10に示すように、ローパスフィルタ21に用いられる。ローパスフィルタ21は、増幅器1と、抵抗R4~R6及びコンデンサC1、C2よりなる内部回路22とから構成される。増幅器1の外部非反転入力端子4はグラウンドGNDに接続され、外部反転入力端子5には抵抗R4、R5を介して信号が入力される。また、外部反転入力端子5には、コンデンサC1を介して増幅器1の出力信号が帰還される。抵抗R4、R5間はコンデンサC2を介してグラウンドGNDに接続されると共に、抵抗R6を介して増幅器1の出力信号が帰還される。そして、ローパスフィルタ21は、信号のうち、所定の低周波数帯域のみを通過させ、信号として出力する。この場合、増幅器1におけるオフセット電圧はキャンセルされているため、低周波数帯域の信号が精度よく出力される。

【0038】また、上記の増幅器1は、図7に示すように、D/Aコンバータ23に用いられる。D/Aコンバータ23は、増幅器1と、抵抗R11~R18、スイッチSW1~SW4、及び、基準電源V2よりなる内部回路24とから構成される。増幅器1は、その外部出力端子6が外部反転入力端子5に接続されて電圧フォロア回路を構成する。増幅器1の外部非反転入力端子4には、直列接続された同一抵抗値の抵抗R11~R13と、それらの抵抗の2倍の抵抗値の抵抗R18を介してグラ

D/GNDに接続されている。各抵抗R11～R13、R18間、及び、抵抗R11と増幅器1との間には、前記抵抗R18と同じ抵抗値の抵抗R14～R17の一端がそれぞれ接続され、各抵抗R14～R17の他端はスイッチSW1～SW4に接続されている。スイッチSW1～SW4は、切り替え端子がグランドGNDと基準電源V2とに接続されている。そして、D/Aコンバータ23は、入力されるデジタル信号に応じてオン・オフされるスイッチSW1～SW4を介して供給される基準電源V2の電圧を抵抗R11～R18により分圧し、その分圧電圧を増幅器1を介してアナログ信号として出力する。この場合、増幅器1におけるオフセット電圧がキャンセルされているため、分圧電圧が精度よくアナログ信号として出力される。

【0039】更にまた、上記の増幅器1は、図8(a)(b)に示されるA/Dコンバータに用いられる。図8(a)に示すように、A/Dコンバータは、複数の増幅器1と、抵抗R21～R24、フリップフロップ回路(FF)26～28、及び、論理回路29、30よりなる内部回路とから構成される。抵抗R21～R24は、高電位側基準電源VRHと低電位側基準電源VRLとの間に直列接続されている。各抵抗R21～R24間は各増幅器1の外部反転入力端子5(図12(b)参照)に接続され、各増幅器1の外部非反転入力端子4にはアナログ信号AINが入力される。従って、増幅器1はアナログ信号AINと、高電位側基準電源VRHと低電位側基準電源VRLとの間に接続された複数の抵抗R21～R24よりなる分圧回路の分圧電圧とをそれぞれ比較するコンパレータとして動作する。そして、各増幅器1の比較結果に基づいて、FF26～28及び論理回路29、30を介してデジタル信号が出力される。この場合、各コンパレータ(各増幅器1)におけるオフセット電圧がキャンセルされているため、アナログ信号AINと分圧電圧とが精度よく比較され、精度のよいデジタル信号が出力される。

【0040】以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 増幅器1には、第1、第2のオペアンプ回路2、3が備えられる。第1のオペアンプ回路2は、出力端子が反転入力端子に接続された電圧フォロア回路を構成するとともに、出力端子が第2のオペアンプ回路3の反転入力端子に接続されている。第1、第2のオペアンプ回路2、3は、回路構成及び回路素子が同一に形成され、同一特性となり同じオフセット電圧となる。その結果、第1のオペアンプ回路2の出力端子を第2のオペアンプ回路3の反転入力端子に接続することにより、第1、第

2のオペアンプ回路2、3のオフセット電圧が互いに打ち消し合うため、増幅器1のオフセット電圧がキャンセルされる。

【0041】尚、本発明は前記実施の形態の他、以下の態様で実施してもよい。上記実施形態において、第1、第2のオペアンプ回路2、3をCMOS回路により構成したが、バイポーラ集積回路、B1-CMOS回路等の回路構成に適宜変更して実施してもよい。

【0042】上記増幅器1を電圧フォロア回路(バッファ)、非反転増幅器以外に、上記の増幅器1を用いて反転増幅器、差動増幅器等の増幅器や、加算回路、積分器等の演算器等を構成する。この場合においても、増幅器のオフセット電圧がキャンセルされているため、精度のよい増幅器、演算器等を構成することができる。

【0043】

【発明の効果】以上詳述したように、請求項1乃至3に記載の発明によれば、オフセット電圧、温度ドリフトをキャンセルすることのできる増幅器を提供することができる。

【0044】また、請求項4に記載の発明によれば、オフセット電圧がキャンセルされた増幅器を備え、内部回路の出力信号を精度よく出力することができる半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図1】 一実施形態の増幅器のブロック回路図。

【図2】 図1の増幅器の等価回路図。

【図3】 第1、第2のオペアンプ回路の回路図。

【図4】 第1、第2のオペアンプ回路の動作波形図。

【図5】 増幅器の動作を説明するための回路図。

【図6】 図5の等価回路図。

【図7】 (a)(b)は、オペアンプ回路の等価回路図。

【図8】 増幅器のチップを示す概略平面図。

【図9】 別の増幅器のブロック回路図。

【図10】 ローパスフィルタに応用した例を示す回路図。

【図11】 D/Aコンバータに応用した例を示す回路図。

【図12】 (a)(b)は、A/Dコンバータに応用した例を示す回路図。

【図13】 従来のオペアンプ回路の回路図。

【図14】 (a)(b)は、従来のオペアンプ回路のオフセットを示す波形図。

【符号の説明】

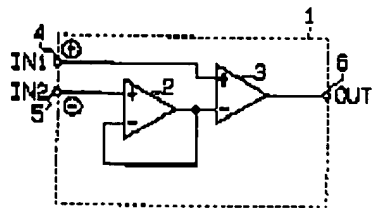
1 増幅器

2 第1の増幅部としての第1のオペアンプ回路

3 第2の増幅部としての第2のオペアンプ回路

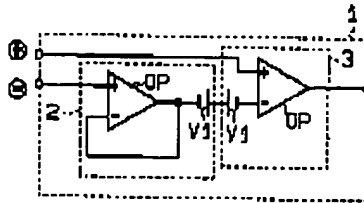
【図1】

一対称形信号の増幅のアロケーション回路



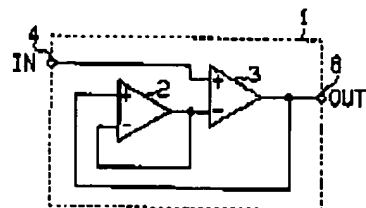
【図2】

図1の増幅部の等価回路図



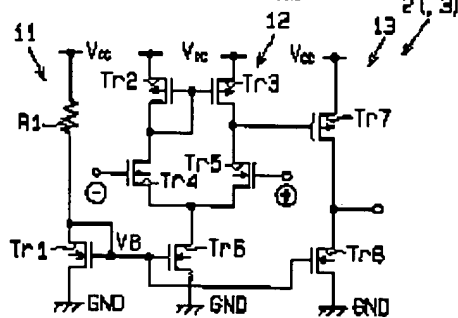
【図5】

増幅部の動作を制御するための回路図



【図3】

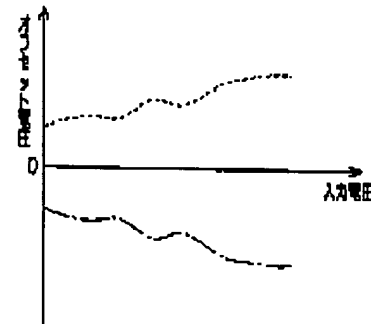
第1、第2のオペアンプ回路の回路図



【図6】

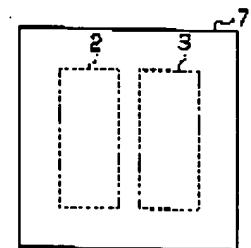
【図4】

第1、第2のオペアンプ回路の動作波形図



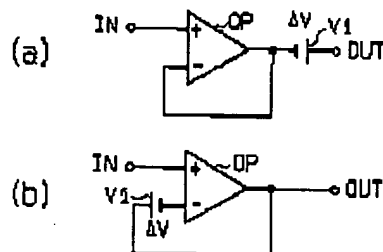
【図8】

増幅部のチップと電源端子の位置図



【図7】

オペアンプ回路の等価回路図



【図9】

別の増幅部のブロック回路図

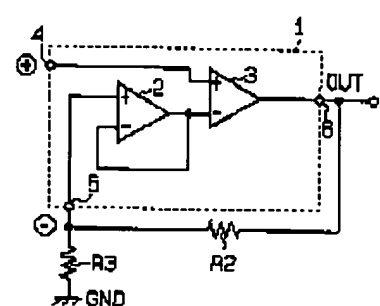
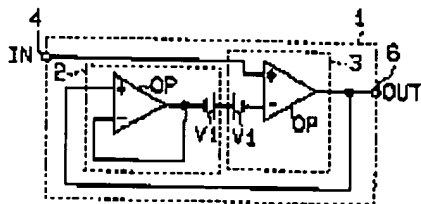


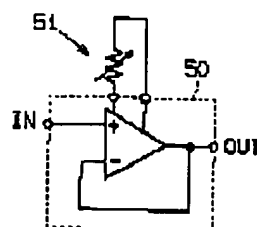
図5の増幅部の等価回路図



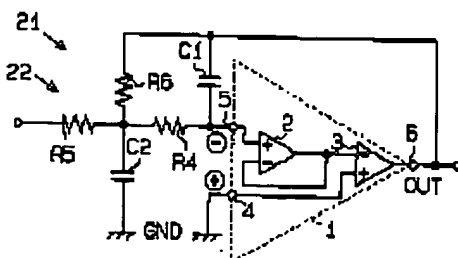
【図10】

【図13】

増幅部のオペアンプ回路の回路図

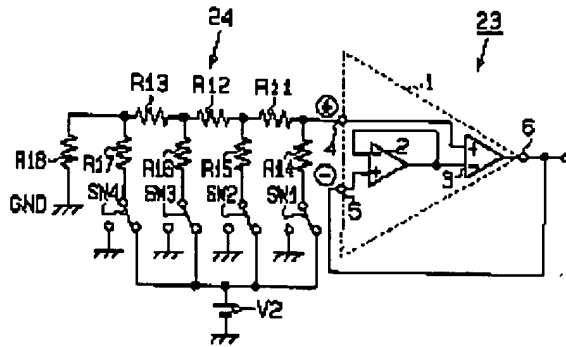


ローパスフィルタに適用した例を示す回路図



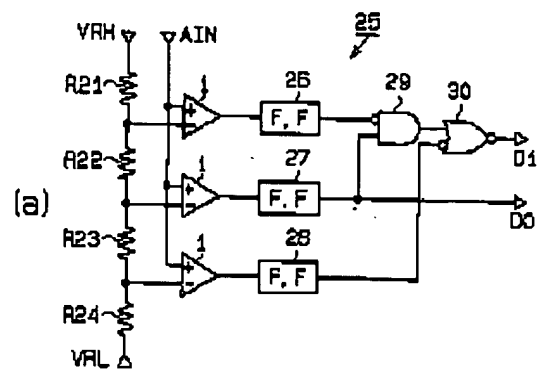
【図11】

D/Aコンバータに適用した例を示す回路図



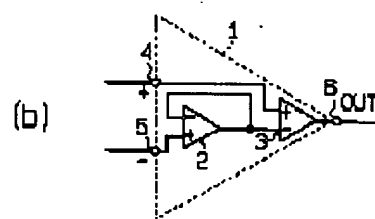
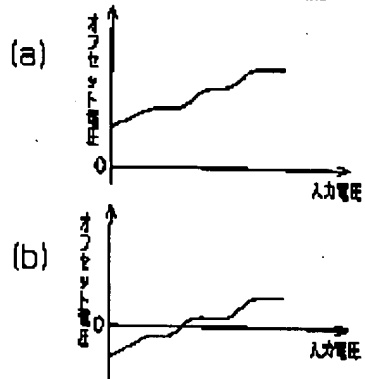
【図12】

A/Dコンバータに適用した例を示す回路図



【図14】

従来のオペアンプ回路のオフセットを示す波形図



*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to amplifier, such as an operational amplifier which is one of the most important circuits, in the field of an analog circuit.

[0002] As for the electronic circuitry in recent years, high-degree-of-accuracy-ization is demanded. In order to attain high-degree-of-accuracy-ization of circuit actuation, amplifier, such as an ideal operational amplifier without offset voltage etc., is demanded.

[0003]

[Description of the Prior Art] Drawing 13 shows the conventional operational amplifier (operational amplifier) 50. An operational amplifier 50 constitutes the voltage follower by which the output terminal was connected to the inversed input terminal (- side input terminal), and operates as a buffer to the signal In inputted into a non-inversed input terminal (+ side input terminal).

[0004] In an operational amplifier 50, dispersion arises in the property of the transistor which constitutes the operational amplifier 50 by dispersion in a process etc. Therefore, the offset voltage of the output signal resulting from dispersion in the property of a transistor is not avoided.

[0005] Therefore, to the operational amplifier 50, the equalization circuits 51, such as external resistance, were connected to the chip exterior, and offset is canceled by the equalization circuit 51. Moreover, an equalization circuit is formed on the semiconductor chip, and there are some which cancel offset voltage with trimming etc. and are shipped in an operational amplifier.

[0006]

[Problem(s) to be Solved by the Invention] However, since it is only adjusting so that offset voltage may serve as zero mostly in the desired neighborhood of a point as shown in drawing 11 (b) to the offset voltage shown in drawing 11 (a), the equalization circuit 51 shown in drawing 10 cannot cancel offset to the whole operating range.

[0007] Moreover, adding an equalization circuit 51 outside needs to be adjusted, when an operational amplifier 50 is IC-ized, and it is troublesome. Moreover, if an equalization circuit is connected outside or the pattern for trimming is created on IC, the circuit magnitude of the whole electronic circuitry will increase and it will become cost high.

[0008] It is made in order that this invention may solve the above-mentioned trouble, and the object is in offering semiconductor integrated circuit equipment equipped with the amplifier which can cancel offset voltage and a temperature drift, and its amplifier.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned object, invention according to claim 1 makes it a summary to have had the 1st amplifier to which was equipped with the inversed input terminal and the non-inversed input terminal, and the output terminal and the inversed input terminal were connected, and the 2nd amplifier as which said the 1st amplifier, circuitry, and circuit element were identically formed, and the signal from the output terminal of said 1st amplifier was inputted into the inversed input terminal.

[0010] Moreover, in amplifier according to claim 1, invention according to claim 2 connects the output terminal of said 2nd amplifier to the non-inversed input terminal of said 1st amplifier, and makes it a summary to have constituted the non-inversed amplifier by the 1st and 2nd amplifier.

[0011] Moreover, invention according to claim 3 makes it a summary to have adjoined and formed said 1st and 2nd amplifier on the same chip in an amplifier according to claim 1 or 2.

[0012] Furthermore, it connects with the input terminal of amplifier according to claim 1 to 3 and said amplifier, and invention according to claim 4 makes it a summary to have had the internal circuitry which outputs a signal to this amplifier.

[0013] (Operation) Therefore, according to invention according to claim 1, since circuitry and a circuit element are formed identically, the 1st amplifier and 2nd amplifier serve as the same property, and they serve as the same offset voltage. And by connecting the output terminal of the 1st amplifier to the inversed input terminal of the 2nd amplifier, the 1st and 2nd offset voltage negates each other, and the offset voltage of amplifier is

canceled.

[0014] Moreover, according to invention according to claim 2, the output terminal of the 2nd amplifier is connected to the non-inversed input terminal of the 1st amplifier, a non-inversed amplifier is constituted by the 1st and 2nd amplifier, and the offset voltage of the 1st and 2nd amplifier is canceled.

[0015] Moreover, according to invention according to claim 3, the 1st and 2nd amplifier is adjoined and formed on the same chip, serves as the same property, and serves as the same offset voltage. The offset voltage of both amplifiers cancels mutually and the offset voltage of amplifier is canceled.

[0016] Moreover, according to invention according to claim 4, it connects with the input terminal of amplifier according to claim 1 to 3 and said amplifier, and has the internal circuitry which outputs a signal to this amplifier, and the output signal of an internal circuitry is outputted with a sufficient precision through amplifier.

[0017]

[Embodiment of the Invention] Hereafter, the gestalt of the 1 operation which materialized this invention is explained according to drawing 1 - drawing 12. As shown in drawing 1, the 1st and 2nd operational amplifier circuit 2 and 3 is established in amplifier 1. Moreover, the external non-inversed input terminal 4, the external inversed input terminal 5, and the external output terminal 6 are formed, and, as for amplifier 1, signals IN1 and IN2 are inputted from both the input terminals 4 and 5.

[0018] The 1st and 2nd operational amplifier circuit 2 and 3 is equipped with a non-inversed input terminal (+ side input terminal), an inversed input terminal (- side input terminal), and an output terminal, respectively. The series connection of the 1st and 2nd operational amplifier circuit 2 and 3 is carried out.

[0019] That is, the output terminal of the 1st operational amplifier circuit 2 is connected to the non-inversed input terminal of the 2nd operational amplifier circuit 3. Moreover, an output terminal is connected to an inversed input terminal, an output signal returns to an inversed input terminal in actual size, and the 1st operational amplifier circuit 2 constitutes the electrical-potential-difference follower circuit (voltage follower circuit). The non-inversed input terminal of the 1st operational amplifier circuit 2 is connected to the external inversed input terminal 5, and a signal IN1 is inputted into the 1st operational amplifier circuit 2. A non-inversed input terminal is connected to the external non-inversed input terminal 4, and, as for the 2nd operational amplifier circuit 3, the output terminal is connected to the external output terminal 6.

[0020] Both the operational amplifier circuits 2 and 3 serve as the same circuitry. For example, as shown in drawing 3, both the operational amplifier circuits 2 and 3 consist of a bias voltage generation circuit 11, an input circuit 12, and an output circuit 13, respectively.

[0021] For the bias voltage generation circuit 11, the gate and the drain of the N-channel metal oxide semiconductor transistor Tr1 are resistance R1. It minds, and connects with a power source Vcc, and the source of this transistor Tr1 is connected to Gland GND. Therefore, resistance R1 Bias voltage VB which serves as a constant voltage based on the ratio of the resistance of the on resistance of a transistor Tr1 It is outputted to an input circuit 12 and an output circuit 13.

[0022] The input circuit 12 is constituted by P channel MOS transistors Tr2 and Tr3 and the N-channel metal oxide semiconductor transistors Tr4-Tr6. The source of P channel MOS transistors Tr2 and Tr3 is connected to a power source Vcc. The drain of a transistor Tr1 is connected to the gate of transistors Tr2 and Tr3, and the drain of the N-channel metal oxide semiconductor transistor Tr4. Moreover, the drain of a transistor Tr3 is connected to the drain of the N-channel metal oxide semiconductor transistor Tr5. A signal is outputted to an output circuit 13 from the drain of transistors Tr3 and Tr5.

[0023] The gate of transistors Tr4 and Tr5 serves as a non-inversed input terminal and an inversed input terminal, respectively, and a signal is inputted. The node between the sources of transistors Tr4 and Tr5 is a transistor Trs6. It minds and connects with Gland GND. Bias voltage VB outputted to the gate of a transistor Tr6 from the bias voltage generation circuit 2 It is inputted and a transistor Tr6 operates as a current source.

[0024] The output circuit 13 consists of P channel MOS transistor Tr7 and an N-channel metal oxide semiconductor transistor Tr8. The source of P channel MOS transistor Tr7 is connected to the bottom Vcc of **, and the drain is connected to Gland GND through the transistor Tr8. A signal is inputted into the gate of a transistor Tr7 from an input circuit 12. Bias voltage VB outputted to the gate of a transistor Tr8 from the bias voltage generation circuit 11 It is inputted and a transistor Tr8 operates as a current source. And the output signal of the operational amplifier circuits 2 and 3 is outputted from the drain of transistors Tr7 and Tr8.

[0025] An operation of the amplifier 1 constituted as mentioned above is explained. In addition, in order to give explanation intelligible, in the interior of amplifier 1, the output terminal of the 2nd operational amplifier circuit 3 is connected to the inversed input terminal of the 1st operational amplifier circuit 2 so that it may be shown in the amplifier 1 it is 1 time whose amplification factor of this, i.e., drawing 5. And the electrical-potential-difference follower circuit which returned all the output signals of the 2nd operational amplifier circuit 3 to the 1st operational amplifier circuit 2 is explained.

[0026] The amplifier 1 constituted as mentioned above is formed on the semiconductor chip 7, as shown in drawing 8. On the chip 7, the 1st and 2nd operational amplifier circuit 2 and 3 which constitutes amplifier 1 is adjoined and formed. Both the operational amplifier circuits 2 and 3 are circuits of the same configuration, as described above, and the circuit element which constitutes a circuit is formed in the same configuration

(area).

[0027] Therefore, electrical characteristics become the same and both the operational amplifier circuits 2 and 3 become said [the same] of the dispersion. Therefore, the offset voltage produced in both the operational amplifier circuits 2 and 3 becomes the same. Therefore, both the operational amplifier circuits 2 and 3 serve as the circuit and equivalence with which the power source V1 which outputs offset voltage ΔV was connected to the output terminal or the inversed input terminal to the ideal operational amplifier circuit (offset voltage is a zero volt (0V)) OP, as shown in drawing 7 (a) and (b).

[0028] When offset voltage ΔV is a forward electrical potential difference, as this power source V1 is shown in drawing 7 (a), a minus side edge child is connected to the output terminal of the ideal operational amplifier circuit OP. And pressure up of the output signal of an operational amplifier circuit is carried out by the power source V1, and it is outputted as an output signal only for offset voltage ΔV minutes.

[0029] Moreover, as a power source V1 is shown in drawing 7 (b), a minus side edge child is connected to the inversed input terminal of the ideal operational amplifier circuit OP, and a plus side edge child is connected to the output terminal of an operational amplifier circuit. And the pressure of the output signal of an operational amplifier circuit is lowered by the power source V1 only for offset voltage ΔV minutes, and it returns to an inversed input terminal according to it.

[0030] In addition, drawing 7 (a) and (b) show the equal circuit in case offset voltage ΔV is forward. Therefore, when offset voltage ΔV is negative, connection of the power source V1 which outputs offset voltage ΔV serves as reverse. And the output signal of an operational amplifier circuit is lowered [the pressure of it] and outputted by the power source V1 in drawing 7 (a) only for offset voltage ΔV minutes. Moreover, in drawing 7 (b), pressure up of the output signal of an operational amplifier circuit is carried out by the power source V1, and it returns to an inversed input terminal according to it only for offset voltage ΔV minutes.

[0031] Therefore, the amplifier 1 shown in drawing 5 serves as the circuit and equivalence which connected to the serial the ideal operational amplifier circuit OP (refer to drawing 7 (a)) where the power source V1 was connected to the output terminal, and the ideal operational amplifier circuit OP (refer to drawing 7 (b)) where the power source V1 was connected to the inversed input terminal, as shown in drawing 6.

[0032] Then, after pressure up of the output signal of the ideal operational amplifier circuit OP which constitutes the 1st operational amplifier circuit 2 is carried out by the power source V1 only for offset voltage ΔV minutes, it is inputted into the inversed input terminal of the ideal operational amplifier circuit OP which the pressure of is lowered by the power source V1 only for offset voltage ΔV minutes, and constitutes the 2nd operational amplifier circuit 3 according to it. That is, as shown in drawing 6, the output signal of the operational amplifier circuits 2 and 3 is superimposed on forward offset voltage ΔV and negative offset voltage ΔV by both the power sources V1, and is inputted into the inversed input terminal of an operational amplifier circuit. And since it is the same and offset voltage ΔV negates offset voltage ΔV of both the operational amplifier circuits 2 and 3 mutually, as shown in drawing 4, the offset voltage of an amplifier 1 serves as a zero volt (0V).

[0033] Generally, if it is going to create an operational amplifier with small offset voltage, the transistor which constitutes the operational amplifier will become large, and a chip area will increase. Generally, if an operational amplifier is created in twice as many magnitude as this, offset voltage will serve as the root 1 ($1/\sqrt{2}$)/2. Therefore, if it is going to make most offset voltage into zero (0), the chip area of an operational amplifier will become huge. And a temperature drift etc. is not avoided although offset voltage is set to about 0.

[0034] However, with this operation gestalt, although area doubles, offset voltage is set to about 0. Moreover, since both the operational amplifier circuits 2 and 3 are formed on the same chip, they become the same [temperature]. Therefore, since it generates similarly [in both the operational amplifier circuits 2 and 3], a temperature drift is canceled like the above-mentioned offset voltage. Therefore, according to the amplifier 1 of this operation gestalt, while offset voltage and a temperature drift are cancellable, buildup of a chip area can be suppressed and a cost rise can be suppressed.

[0035] In addition, in the above-mentioned operation gestalt, in the amplifier 1 shown in drawing 1, even if it connects the external output terminal 6 and the external inversed input terminal 5 and constitutes an electrical-potential-difference follower circuit, the same effectiveness can be acquired. That is, the amplifier 1 of drawing 1 is transposed to the equal circuit of drawing 2 according to the equal circuit of both the operational amplifier circuits 2 and 3 shown in drawing 7 (a) and (b). And offset voltage ΔV is mutually canceled by the power source V1 of both the operational amplifier circuits 2 and 3, and offset and temperature drift of amplifier 1 are canceled.

[0036] Furthermore, an amplification factor may be given to amplifier 1 in the above-mentioned operation gestalt. That is, as shown in drawing 9, while connecting resistance R2 between the external output terminal 6 of amplifier 1, and the external inversed input terminal 5, the external inversed input terminal 5 is connected to Gland GND through resistance R3, and a non-inversed amplifier 1 is constituted. And if the ratio of resistance R2 and R3 is set up suitably, for example, is set as resistance $R2=2\text{Kohm}$ and resistance $R3=1\text{Kohm}$, amplifier 1 is as in phase as an input signal, and can acquire a 3 times as many output signal as

this. Moreover, resistance R2 and R3 is made into variable resistance, and it enables it to adjust an amplification factor. Also in this case, there is no need of connecting the equalization circuit for adjusting offset voltage since the offset voltage of an amplifier 1 is a zero volt, and since what is necessary is just to add the resistance for setting up an amplification factor, the amplifier 1 which has an amplification factor with an easy configuration can be obtained.

[0037] Moreover, the amplifier 1 constituted as mentioned above is applicable to various circuits, such as semiconductor integrated circuit equipment equipped with the internal circuitry outputted to the amplifier 1. For example, the above-mentioned amplifier 1 is used for a low pass filter 21 as shown in drawing 10. A low pass filter 21 consists of an amplifier 1 and an internal circuitry 22 which consists of resistance R4-R6 and capacitors C1 and C2. The external non-inversed input terminal 4 of amplifier 1 is connected to Gland GND, and a signal is inputted into the external inversed input terminal 5 through resistance R4 and R5. Moreover, the output signal of amplifier 1 returns to the external inversed input terminal 5 through a capacitor C1. Between resistance R4 and R5, while connecting with Gland GND through a capacitor C2, the output signal of amplifier 1 returns through resistance R6. And a low pass filter 21 passes only a predetermined low frequency band among signals, and is outputted as a signal. In this case, since the offset voltage in amplifier 1 is canceled, the signal of a low frequency band is outputted with a sufficient precision.

[0038] Moreover, the above-mentioned amplifier 1 is used for D/A converter 23 as shown in drawing 7. D/A converter 23 consists of an amplifier 1, and resistance R11-R18, switches SW1-SW4 and the internal circuitry 24 that consists of a reference supply V2. The external output terminal 6 is connected to the external inversed input terminal 5, and amplifier 1 constitutes an electrical-potential-difference follower circuit. It connects with the external non-inversed input terminal 4 of amplifier 1 in Gland GND through the resistance R11-R13 of the same resistance by which the series connection was carried out, and the resistance R18 twice the resistance of those resistance. Between each resistance R11-R13 and R18 and between resistance R11 and amplifier 1, the end of the resistance R14-R17 of the same resistance as said resistance R18 is connected, respectively, and the other end of each resistance R14-R17 is connected to switches SW1-SW4. As for switches SW1-SW4, the change terminal is connected to Gland GND and the reference supply V2. And D/A converter 23 pressures partially the electrical potential difference of the reference supply V2 supplied through the switches SW1-SW4 turned on and off according to the digital signal inputted by resistance R11-R18, and outputs the partial pressure electrical potential difference as an analog signal through amplifier 1. In this case, since the offset voltage in amplifier 1 is canceled, a partial pressure electrical potential difference is outputted with a sufficient precision as an analog signal.

[0039] Furthermore, the above-mentioned amplifier 1 is used for the A/D converter shown in drawing 8 (a) and (b) again. As shown in drawing 8 (a), an A/D converter consists of two or more amplifier 1, and resistance R21-R24, flip-flop circuit (FF) 26-28 and the internal circuitry that consists of logical circuits 29 and 30. The series connection of the resistance R21-R24 is carried out between the high potential side reference supply VRH and the low voltage side reference supply VRL. Between each resistance R21 - R24, it connects with the external inversed input terminal 5 (refer to drawing 12 (b)) of each amplifier 1, and an analog signal AIN is inputted into the external non-inversed input terminal 4 of each amplifier 1. Therefore, amplifier 1 operates as a comparator which compares the partial pressure electrical potential difference of the partial pressure circuit which consists of two or more resistance R21-R24 connected between the analog signal AIN, and the high potential side reference supply VRH and the low voltage side reference supply VRL, respectively. And based on the comparison result of each amplifier 1, a digital signal is outputted through FFs 26-28 and logical circuits 29 and 30. In this case, since the offset voltage in each comparator (each amplifier 1) is canceled, an analog signal AIN is compared with a partial pressure electrical potential difference with a sufficient precision, and an accurate digital signal is outputted.

[0040] According to the gestalt of this operation, the following effectiveness is done so as described above.

(1) Amplifier 1 is equipped with the 1st and 2nd operational amplifier circuit 2 and 3. The output terminal is connected to the inversed input terminal of the 2nd operational amplifier circuit 3 while the 1st operational amplifier circuit 2 constitutes the electrical-potential-difference follower circuit where the output terminal was connected to the inversed input terminal. Circuitry and a circuit element are formed identically, and serve as the same property, and the 1st and 2nd operational amplifier circuit 2 and 3 serves as the same offset voltage. Consequently, in order that the offset voltage of the 1st and 2nd operational amplifier circuit 2 and 3 may negate each other by connecting the output terminal of the 1st operational amplifier circuit 2 to the inversed input terminal of the 2nd operational amplifier circuit 3, the offset voltage of amplifier 1 is canceled.

[0041] In addition, this invention may be carried out in the following modes besides the gestalt of said operation. In the above-mentioned operation gestalt, although the CMOS circuit constituted the 1st and 2nd operational amplifier circuit 2 and 3, it may change into circuitry, such as a bipolar integrated circuit and Bi-CMOS circuit, suitably, and you may carry out to it.

[0042] The above-mentioned amplifier 1 is used for the above-mentioned amplifier 1 in addition to an electrical-potential-difference follower circuit (buffer) and a non-inversed amplifier, and computing elements, such as amplifiers, such as an inversed amplifier and differential amplifier, and an adder circuit, an integrator, etc. are constituted. Also in this case, since the offset voltage of amplifier is canceled, accurate amplifier, a

computing element, etc. can be constituted.

[0043]

[Effect of the Invention] As explained in full detail above, according to invention according to claim 1 to 3, the amplifier which can cancel offset voltage and a temperature drift can be offered.

[0044] Moreover, according to invention according to claim 4, it can have the amplifier with which offset voltage was canceled, and the semiconductor integrated circuit equipment which can output the output signal of an internal circuitry with a sufficient precision can be offered.

[Translation done.]